

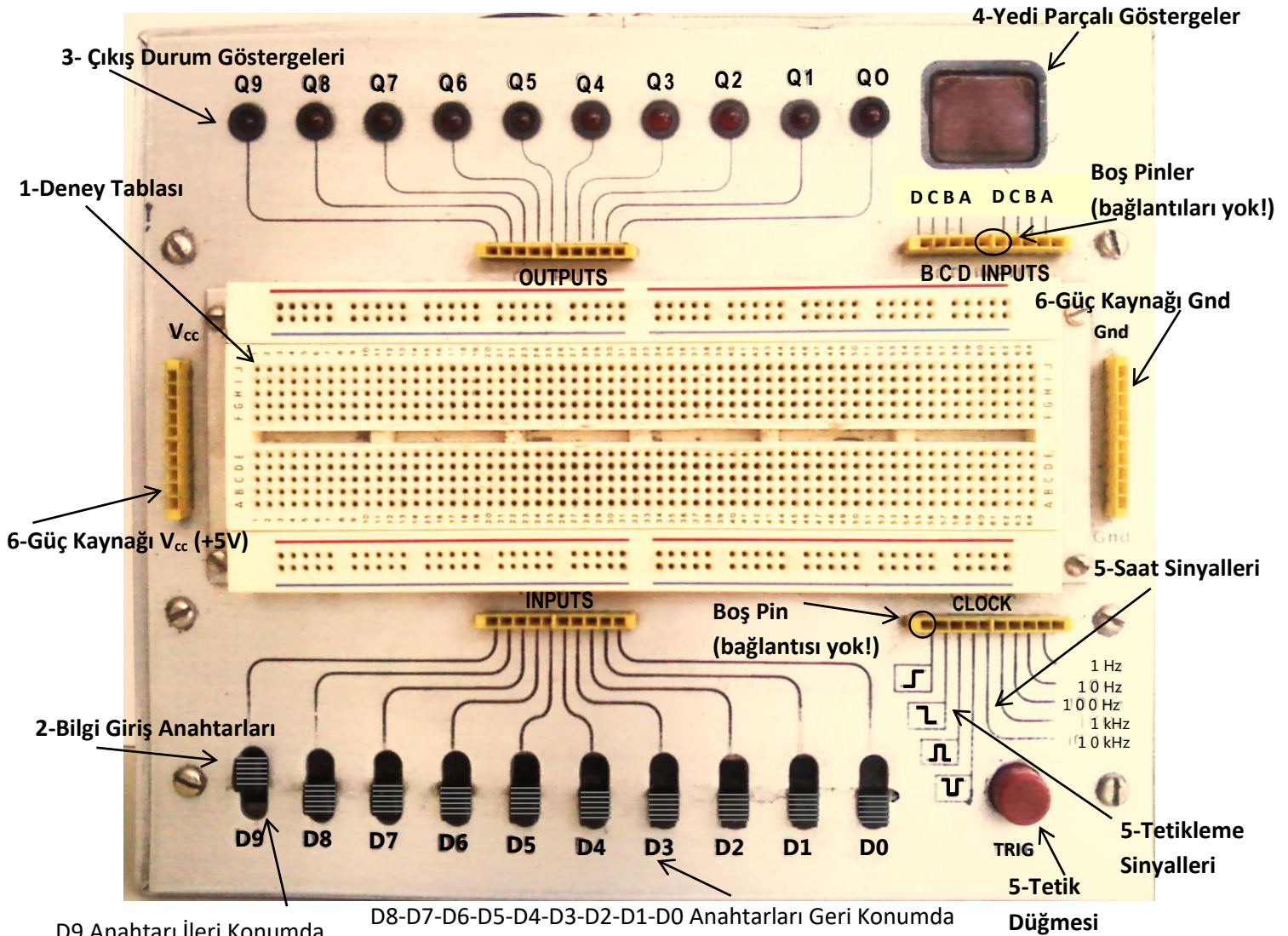
DENEY- 1: SAYISAL ELEKTRONİK LAB. DENEY SETİ

1- **AMAÇ:** Sayısal elektronik laboratuvarında kullanılacak deney setini tanımak.

2- **GENEL BİLGİ:** Mantık devrelerindeki sinyallerin iki ana durumu vardır; “mantık 0” ve “mantık 1”. Pozitif mantık kullanan sistemlerde en yüksek gerilim değeri (ve civarı) “1”, en düşük gerilim değeri (ve civarı) “0” mantık değeri olarak tanımlanır. Bilgi giriş, kontrol ve bilgi çıkış sinyalleri bu “1” ve “0”ların zaman içinde ve belirli bir düzende sıralanmaları ile oluşur.

İlerdeki deneylerde kullanacağımız giriş ve kontrol sinyallerinin en uygun şekillerini set üzerindeki sinyal üreteçlerinden sağlamamız mümkün olacaktır. Çıkış sinyallerini gözlemek için, osiloskop yanında, yine set üzerindeki ışıklı göstergelerden faydalanmamız gerekecektir.

3- **DENEY SETİ:** Tüm deneylerde kullanacağımız set aşağıda gösterilmiştir.



Yukarıdaki resimde gösterilen deney seti sağladığı fonksiyonlara göre altı ana kısımdan oluşmuştur.

3.1-DENEY TABLASI: Üzerinde devrelerin kurulacağı delikli montaj tablasıdır (Breadboard).

3.2-BİLGİ GİRİŞ ANAHTARLARI: İki durumlu D9, D8,..., D0 anahtarlarından oluşan bu blok devrelere uygulanacak giriş bilgileri için “0” ve “1” mantık değerlerini üretir. Anahtarlar ileri durumda iken “mantık 1”, geri durumda iken “mantık 0”a karşı gelen gerilimler “INPUTS” soketi üzerinden ve her anahtara ait belli noktalardan alınabilir.

3.3- ÇIKIŞ DURUM GÖSTERGELERİ: Devre içi kritik noktaların ve devre çıkışlarının mantık durumlarını gözlemek için kullanılan Q9, Q8,..., Q0 ışık yayan diyot ("Light Emitting Diode", **LED**), “OUTPUTS” soketi üzerindeki girişlerine uygulanan mantık değerlerine göre yanar veya sönerler.

3.4- YEDİ PARÇALI GÖSTERGELER: İki grup “ikili kodlanmış ondalık (BCD)” sayı bilgileri “BCD INPUTS” soketi üzerindeki girişlere verilerek, birbirinden bağımsız çalışan iki adet yedi parçalı göstergelere aktarılabilir.

3.5- SAAT SİNYALLERİ: Birbirleri ile eşzamanlı (senkron) olarak sürekli çalışan beş adet, farklı frekanslardaki kare dalga osilatör çıkışı, TRIG (Tetik) butonuna basıldığı anda aktifleşen “tek pulse (atma)” kaynakları ($\square$, $\square$) ve pozitif ile negatif “kenar tetikleme” sinyalleri ($\square$, $\square$) “CLOCK” soketi üzerindeki ilgili noktalardan alınabilir.

3.6- GÜÇ KAYNAĞI: Deneylerde kullanılacak TTL (Transistor Transistor Logic) tümleşik devreleri beslemek için gerekli voltaj kaynağıdır. Pozitif gerilim “Vcc” soketinden, referans gerilimi ise “Gnd” soketinden alınabilir.

4- DENEY

4.1- Deney seti üzerindeki güç kaynağının gerilimini osiloskop yardımıyla ölçünüz.

4.2- D0, D1,... , D9 bilgi anahtarlarının çıkışlarını osiloskopta gözleyiniz. “0” ve “1” mantık düzeylerinin **DC gerilim değerlerini hassas** olarak ölçünüz ve tablo şeklinde belirtiniz.

4.3- Seçtiğiniz bir bilgi anahtarını sırayla Q9, Q8,... , Q0 çıkışlarına bağlayarak LED’lerin hangi mantık düzeylerinde yanıp söndüklerini belirleyiniz ve tablo şeklinde belirtiniz.

4.4- Saat (clock) çıkış dalga şekillerini osiloskopta inceleyiniz. Gözlediğiniz sinyallerin DC offset seviyelerini, genliklerini, frekanslarını ve puls sürelerini dikkate alarak uygun ölçeklerle kareli defterinize çiziniz. (Y ekseninde 1 kare = 1 Volt alınız.)

4.5- 1 kHz ve 10 kHz kare dalga çıkışlarını aynı anda osiloskopta gözleyin. Sinyalleri inceleyerek, birbirlerine göre durumlarını **alt alta**, bir **zaman diyagramında**, en az iki tam periyot için çiziniz.

ÖNEMLİ NOT: Bu işlemi yaparken osiloskobun her **iki kanalını da kullanınız** ve osiloskobun **tetiklemesini, frekansı daha düşük olan kanala göre ayarlayınız**. Çizim sırasında t ekseninde 1 kare= 50 μ s alınız.

4.6- D3, D2, D1, D0 anahtarlarını, 7 parçalı göstergelerden birinin girişlerine (sırası ile D, C, B, A) bağlayınız. Dört giriş anahtarının alabileceği bütün durumlar için göstergede **beliren şekilleri** raporunuza aşağıdaki gibi hazırlayacağınız tabloda gösteriniz.

(MSB) (D) D3	(C) D2	(B) D1	(LSB) (A) D0	Gösterge
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

4.7- Hazırladığınız bu çizelgenin ne anlam ifade ettiğini tartışınız.

DENEY-2: MANTIK GEÇİTLERİ

1- AMAÇ: Sayısal elektronik devrelerin temel yapı taşlarını oluşturan mantık geçitlerinin işleyişlerini incelemek.

2- GENEL BİLGİ: En basit mantık devresinden, en gelişmiş sayısal bilgisayarlara kadar, sayısal elektroniğe dayalı bütün sistemler, temelde son derece basit birkaç tip mantık geçidinin ardı ardına sıralanmasıyla oluşmuştur. Devre ne kadar karmaşık ise, kullanılacak geçit sayısı o kadar fazladır. Önceleri diyot, direnç ve transistörlerle gerçekleştirilerek kullanılan bu geçit devreleri, sayıları arttıkça geniş hacimler ve yüksek güçler gerektirmekteydiler. Bu tip devrelere her tasarımda sıklıkla rastlandığından, giderek artan talepler karşısında, bazı firmalar günün teknolojisinin elverdiği oranlarda bu devreleri küçültürerek “tümleşik devreler” haline getirmişlerdir.

2.1- “74 Serisi” TÜMLEŞİK DEVRELER: 74XX Serisi TTL mantık devreleri; geçitler, toplayıcılar, karşılaştırıcılar, kodlayıcılar, kod çözücüler, Flip-Flop’lar, sayaçlar vb. gibi çok kullanılan 100’den fazla mantık fonksiyonunu içeren tümleşik devreler serisidir. XX sayısı tümleşik devrenin fonksiyonunu tanımlamak için kullanılan bir sayıdır. Bütün tümleşik devreler, ancak güç beslemesi yapıldıktan sonra fonksiyonel kullanıma hazırdırlar. Bu serinin ilk tümleşik devrelerinde, birbirinden bağımsız olarak çalışan 4’er adet mantık geçidi aynı “yonga (chip)” üzerinde imal edilmiş ve “DIL (Dual In Line)” paketlenmiştir. Bölüm 2.2 geçitlerin tümleşik devre içinde sembolik yerleşimlerini göstermekte ve fonksiyonlarını özetlemektedir. “74” serisi tümleşik devreler pozitif mantıkla çalışırlar. Bu serinin mantık düzeyleri diyagramı, üretici firmaların, geçitlerin beklenen şekilde çalışmalarını sağlamak amacıyla uygulanması gereken “1” ve “0” mantık değerlerinin, girişler için kabul edilebilir, çıkışlar için ise garanti edilen gerilimlerin sınır değerlerini göstermektedir. Bu değerler aşağıdaki şekilde görüldüğü gibi standartlaştırılmıştır.

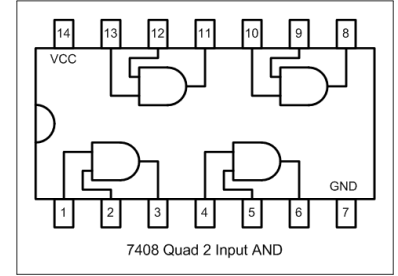
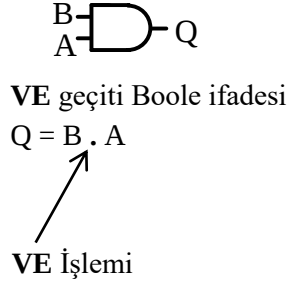
_____	5 Volt
Mantık “1” düzeyi	
_____	2 Volt
Geçersiz düzey	
_____	0.8 Volt
Mantık “0” düzeyi	
_____	0 Volt

Şekil 2.1. TTL Mantık düzeyleri diyagramı.

2.2- MANTIK GEÇİTLERİ:

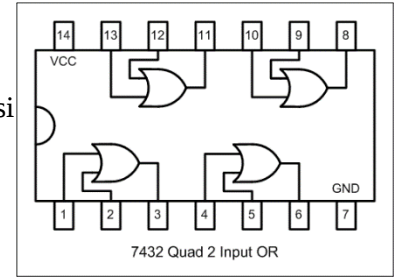
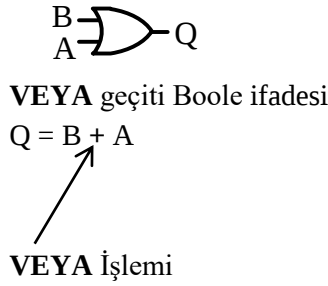
2.2.1- VE Geçidi: Bir VE geçidinin çıkışının “1” olabilmesi için, bütün girişlerinin “1” olması gerekir.

VE geçiti Doğruluk Çizelgesi		
Girişler		Çıkış
B	A	Q
0	0	0
0	1	0
1	0	0
1	1	1



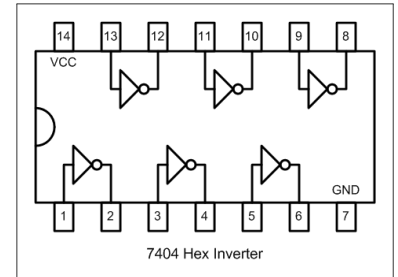
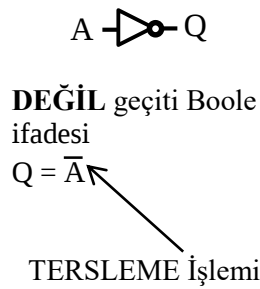
2.2.2- VEYA Geçidi: Bir VEYA geçidinin çıkışının “0” olabilmesi için, bütün girişlerinin “0” olması gerekir.

VEYA geçiti Doğruluk Çizelgesi		
Girişler		Çıkış
B	A	Q
0	0	0
0	1	1
1	0	1
1	1	1



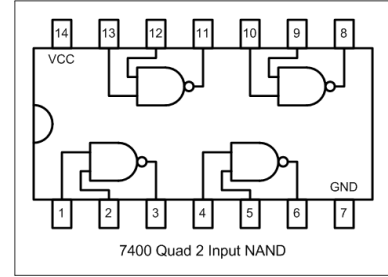
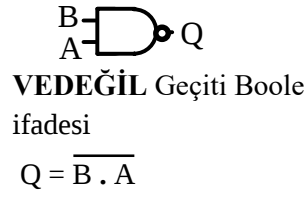
2.2.3- DEĞİL Geçidi: Bir DEĞİL geçidinin çıkış mantık seviyesi her zaman, giriş mantık seviyesinin tersine eşittir.

DEĞİL geçiti Doğruluk Çizelgesi	
Girişler	Çıkış
A	Q
0	1
1	0



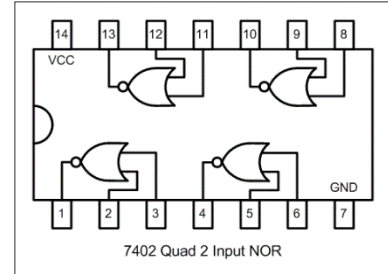
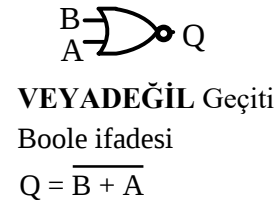
2.2.4- VEDEĞİL Geçidi: VEDEĞİL geçidi, çıkışı terslenmiş VE geçididir. Bir VEDEĞİL geçidinin çıkışının “0” olabilmesi için, bütün girişlerinin “1” olması gerekir.

VEDEĞİL geçiti Doğruluk Çizelgesi		
Girişler		Çıkış
B	A	Q
0	0	1
0	1	1
1	0	1
1	1	0



2.2.5- VEYADEĞİL Geçidi: VEYADEĞİL geçidi, çıkışı terslenmiş VEYA geçididir. Bir VEYADEĞİL geçidinin çıkışının “1” olabilmesi için, bütün girişlerinin “0” olması gerekir.

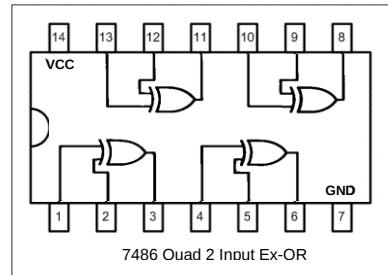
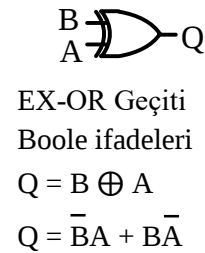
VEYADEĞİL geçiti Doğruluk Çizelgesi		
Girişler		Çıkış
B	A	Q
0	0	1
0	1	0
1	0	0
1	1	0



2.2.6- DIŞLAYAN VEYA Geçidi (EXCLUSIVE-OR= EX-OR):

Bir EX-OR geçidinin çıkışının “1” olabilmesi için, girişlerinden yalnız ve yalnızca bir tanesinin “1” olması gerekir. Diğer bir deyişle; her iki giriş aynı mantık seviyesinde ise EX-OR çıkışı “0”dır. Her iki giriş farklı mantık seviyelerinde ise, EX-OR çıkışı “1”dir.

EX-OR geçiti Doğruluk Çizelgesi		
Girişler		Çıkış
B	A	Q
0	0	0
0	1	1
1	0	1
1	1	0



2.3- YAYILMA GECİKMESİ: Bir geçidin girişlerindeki bilgi değişimi ile çıkıştaki bilgi değişimi arasında geçen zamana “yayılma gecikmesi (**Propagation Delay**)” adı verilir. “74” serisinde bir mantık geçidi için yayılma gecikmesi yaklaşık 10 nanosaniyedir. Ardı ardına bağlanan geçitlerin sayısı arttığında bu gecikme giderek büyük zamanlara ulaşır. Bu durumun devrelerin çalışma hızlarını sınırlandırdığı unutulmamalıdır.

3- **ÖN ÇALIŞMA:** Laboratuvara gelmeden önce bölüm 4.3, 4.8 ve 4.16'daki tasarımları yapınız ve deneye gelirken yanınızda getiriniz.

4- DENEY :

4.1- Montaj tablasına bir adet 7408 takınız. Bölüm 2.2.1'deki şekli dikkate alarak besleme gerilimi bağlantılarını yapınız. Seçeceğiniz bir VE geçidinin girişlerini D1 ve D0 anahtarlarına bağlayınız. Her iki anahtarın bütün olasılıkları için; girişlerin ve çıkışın gerilimlerini osiloskopta hassas olarak ölçünüz ve bir çizelgede gösteriniz. Şekil 2.1'e göre, hazırladığınız çizelgeyi, VE geçidi doğruluk çizelgesi ile özdeşleştirerek belirtiniz.

4.2- Bir VE geçidinin girişlerinden birine 1 kHz, diğerine 10 kHz frekansında kare dalgaları uygulayınız. Giriş ve çıkışları osiloskopta gözleyerek bir zaman diyagramında gösteriniz. (Zaman ekseninde 1 kare= 50 µs olarak en az iki periyot için dalga şekillerini çiziniz.) Dalga şekillerini inceleyerek VE geçidi doğruluk çizelgesini irdelleyiniz.

4.3- İki girişli VE geçitlerini kullanarak 4 girişli bir VE geçidini iki ayrı şekilde tasarımıyınız. Her iki tasarım için geçit girişlerini D3, D2, D1, D0 anahtarlarına, geçit çıkışını ise Q0 LED'ine bağlayarak, dört anahtarın sıralı bütün olasılıkları için doğruluk çizelgesini deneysel olarak elde ediniz. Bulduğunuz iki sonuç arasında fark varsa açıklayınız.

4.4- Bölüm 4.3'de tasarımıladığınız ve doğruluk çizelgelerini çıkarttığınız 4 girişli VE geçitlerinden hangisinin diğerine göre daha hızlı çalıştığını, bölüm 2.3'e göre, sayısal değerler vererek açıklayınız.

4.5- Bölüm 4.3'de gerçekleştirildiğiniz ikinci tasarımda dördüncü girişi D3 anahtarından ayırarak, geçidin giriş ucunu açıkta bırakınız. Diğer üç anahtarın bütün olasılıkları için çıkışı dikkate alarak bir doğruluk çizelgesi hazırlayınız. Bu çizelgeyi bölüm 4.3'deki doğruluk çizelgeleri ile karşılaştırarak, geçidin "**açıkta bırakılan giriş ucu**"nın mantık düzeyini araştırınız.

4.6- Montaj tablasına bir adet 7432 takınız. Bölüm 2.2.2'deki şekli dikkate alarak tümleşik devrenin besleme gerilimi bağlantılarını yapınız. Seçeceğiniz bir VEYA geçidinin girişlerini D1 ve D0 anahtarlarına bağlayınız. Q2 ve Q1 LED'lerinden geçidin girişlerini, Q0 LED'inden geçidin çıkışını gözleyerek VEYA geçidi doğruluk çizelgesini, aldığınız sonuçlarla karşılaştırınız.

4.7- Bir VEYA geçidinin girişlerinden birine 10 kHz, diğerine 1 kHz frekansındaki kare dalgalar uygulayınız. Osiloskop yardımı ile girişleri ve çıkışı alt alta, bir zaman diyagramında gösteriniz. Bu diyagramdaki dalga şekillerini inceleyerek VEYA geçidi doğruluk çizelgesini irdelleyiniz.

4.8- Bir adet 7432 kullanarak 4 girişli bir VEYA geçidini, iki ayrı şekilde tasarımıyınız. Her iki tasarım için, D3, D2, D1 ve D0 anahtarlarını giriş, Q0 LED'ini çıkış olarak kullanmak üzere devreleri teker teker kurunuz ve doğruluk çizelgelerini çiziniz. Elde ettiğiniz doğruluk çizelgeleri arasında fark varsa açıklayınız. İki tasarım arasındaki fark nedir? Sayısal değerler vererek tartışınız.

4.9- Çalıştırdığınız son devrede, dördüncü girişi D3 anahtarından ayırarak açıkta bırakınız. D2, D1 ve D0 anahtarlarının alabilecekleri bütün durumlar için yeni bir doğruluk çizelgesi hazırlayınız. Bu çizelgeyi bölüm 4.8’de elde ettiğiniz çizelge ile karşılaştırarak; bir VEYA geçidi için **“açıkta bırakılan giriş ucu”**nun mantık seviyesini tartışınız. Bulduğunuz sonucu, bölüm 4.5’te vardığınız sonuç ile karşılaştırınız.

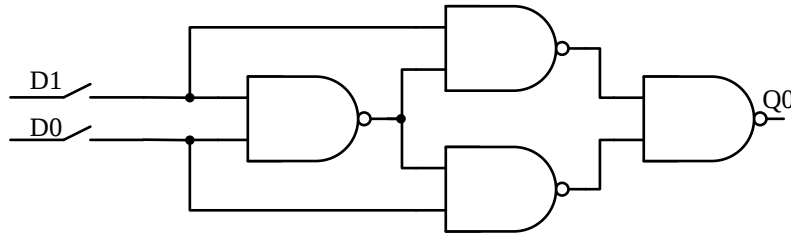
4.10- Montaj tablasına bir adet 7404 takınız. Bölüm 2.2.3’deki şekli dikkate alarak tümleşik devrenin besleme gerilimi bağlantılarını yapınız. Seçeceğiniz bir TERSLEYİCİ’nin girişine 1 Hz frekansında kare dalga uygulayınız. Girişi ve çıkışı aynı anda Q1 ve Q0 LED’lerinden gözleyerek sonucu bir doğruluk çizelgesi şeklinde gösteriniz.

Aynı işlemleri, iki TERSLEYİCİ’yi peş peşe bağlayarak tekrarlayınız.

4.11- Peş peşe bağlanmış iki tersleyiciden, birincisinin girişine 10 kHz frekansında kare dalga uygulayınız. Giriş ve çıkışları (birinci TERSLEYİCİ’nin çıkışı ile ikinci TERSLEYİCİ’nin çıkışı) osiloskop yardımıyla, alt alta bir zaman diyagramında gösteriniz. Dalga şekillerini inceleyerek TERSLEYİCİ doğruluk çizelgesini irdeleyiniz.

4.12- Bölüm 4.11’de kurulu devrede, birinci tersleyicinin giriş ucunu **“açıkta”** bırakınız. Her iki çıkışı LED’lerden gözleyerek, **“açıkta bırakılan”** TERSLEYİCİ giriş ucunun mantık seviyesini tartışınız. Sonucu bölüm 4.5 ve 4.9’da vardığınız sonuçlar ile karşılaştırarak, **TTL geçitler için genel bir özelliği**, bir cümle ile ifade ediniz.

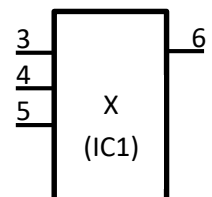
4.13- Montaj tablasına bir adet 7400 takınız ve önce besleme gerilimi bağlantılarını yapınız. Daha sonra ara bağlantıları tamamlayarak aşağıdaki devreyi kurunuz.



D1 ve D0 girişlerine karşılık, Q0 çıkışı için bir doğruluk çizelgesi hazırlayınız. Bu çizelgeyi inceleyerek, devrenin hangi mantıksal işlevi gerçekleştirdiğini saptayınız.

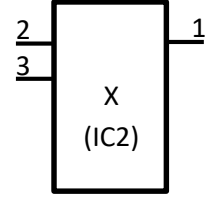
Aynı mantıksal işlevi sağlamak için, iki adet 7402 tümleşik devresi kullanacak şekilde, bir başka tasarım yapınız. Bu tasarımı deneysel olarak gerçekleştirerek, elde edeceğiniz doğruluk çizelgesi ile önceki doğruluk çizelgesini karşılaştırarak, tasarımın doğruluğunu gösteriniz.

4.14- IC1 tümleşik devresini montaj tablasına takınız. Vcc: pin 14, gnd: pin 7 olacak şekilde besleme gerilimi bağlantılarını yapınız. Yanda verilen blok diyagramındaki 3, 4, 5 nolu uçları giriş anahtarlarına bağlayınız. Her üç anahtarın alabileceği bütün durumlar için, 6 nolu çıkış



ucunun aldığı mantık değerini, Q0 LED’inden gözleyerek, bir doğruluk çizelgesi yardımıyla, **fonksiyonları bularak** tümleşik devre içindeki geçit tipini saptayınız.

4.15- IC2 tümleşik devresini montaj tablasına takınız. Vcc: pin 14, gnd: pin 7 olacak şekilde besleme gerilimi bağlantılarını yapınız. 2 nolu giriş ucuna 10 kHz, 3 nolu giriş ucuna da 1 kHz frekansındaki kare dalgaları uygulayınız. Girişleri ve 1 nolu çıkış ucundaki dalga şekillerini, osiloskopta (ikişer ikişer, her iki kanalda) inceleyerek, alt alta bir zaman diyagramında gösteriniz. Bu zaman diyagramından yararlanarak oluşturacağınız genel doğruluk çizelgesi yardımıyla fonksiyonları bularak, tümleşik devre içindeki geçit tipini saptayınız.



4.16- Dört kişilik bir kurulda, D3 başkan olmak üzere üyeler; D2, D1, D0’dır. Başkanın oyu çift sayılmakta ve kurul kararları oy çokluğu ile alınmaktadır. Gizli oylamalarda, her üyenin ve başkanın masalarına takılacak birer anahtar yardımıyla, “**evet**” oy çokluğu durumunda bir lambanın yanmasını sağlayacak mantık devresinin tasarımını yapınız. **Bir adet 7408 ve bir adet 7432** kullanacak şekilde devreyi düzenleyerek, şemasını çiziniz.

Devrenizi kurarak çalıştırınız ve sonucu kontrol edip, hocanıza gösteriniz.

DENEY- 3: “COMBINATIONAL LOGIC” DEVRELER

1- AMAÇ: Çok kullanılan MSI (Medium Scale Integration) mantık devrelerinden bazılarının tasarımları, işleyişleri ve uygulamaları hakkında bilgi edinmek.

2- GENEL BİLGİ: Şimdiye kadar laboratuvarında kullandığımız mantık geçitleri ile kurduğumuz devrelerin tümünün ortak bir özelliği vardır. Bu tip devrelerin çıkışları, o andaki giriş değişkenlerinin bir fonksiyonudur. Giriş değişkenlerinin alabilecekleri değerlerin KOMBİNASYONLARI, çıkış veya çıkışların mantık durumlarını belirler. Bu sebeple, bu tip devreler, COMBINATIONAL LOGIC devreler olarak anılırlar. Kullanım alanı çok yaygın olan bazı karmaşık combinational mantık devreleri de tümleşik devreler haline getirilmişlerdir. İçerdikleri geçit sayısına bağlı olarak bu devreler bazı kategorilere ayrılırlar. 10-12 kadar mantık geçidi içeren tümleşik devreler; SMALL SCALE INTEGRATION (SSI), 12-100 kadar geçit içerenler; MEDIUM SCALE INTEGRATION (MSI), 100-1000 geçit arası LARGE SCALE INTEGRATION (LSI), 1000-10000 geçitten meydana gelen tümleşik devreler ise VERY LARGE SCALE INTEGRATION LOGIC (VLSI) kategorisine girerler. Bu deneyde incelenecek olan toplayıcılar, kodlayıcılar, kod çözücüler, multiplexer ve demultiplexer devreleri ve karşılaştırmacılar MSI tümleşik devrelerdir.

2.1- İKİLİ TOPLAYICILAR (BINARY ADDERS): İkili sayı sisteminde toplama işlemini yapan mantık devreleridir.

2.1.1- YARIM TOPLAYICI (HALF ADDER): İkili aritmetikte toplama kurallarını hatırlayalım:

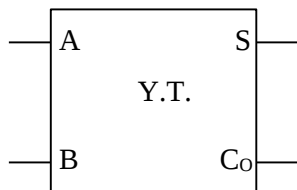
$$0 + 0 = 00)_2$$

$$1 + 0 = 01)_2$$

$$0 + 1 = 01)_2$$

$$1 + 1 = 10)_2$$

A ve B, birer Bit'lik iki sayı olmak üzere, S (Sum) toplam çıkışını, C_o (Carry out) elde çıkışını gösterir.



B	A	C _o	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

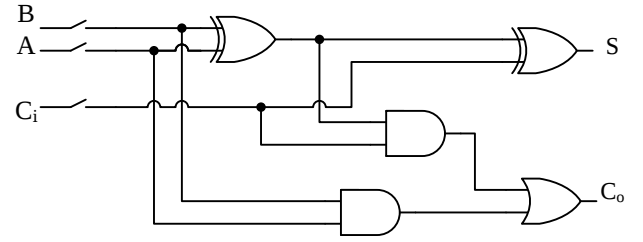
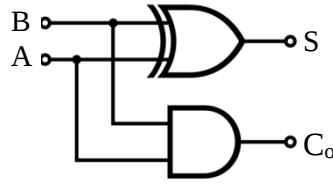
Yarım Toplayıcının Blok diyagramı

Yarım Toplayıcının Doğruluk Çizelgesi

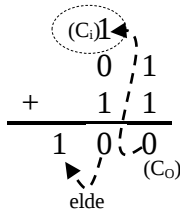
Doğruluk çizelgesinden de kolayca görüleceği gibi; S bir EX-OR, C_o ise bir VE geçidi ile gerçekleştirilebilir.

$$S = B \oplus A$$

$$C_o = B \cdot A$$



2.1.2- TAM TOPLAYICI (FULL ADDER): İki veya daha fazla haneli ikili sayıların toplamaları söz konusu olduğunda, ikinci hanedeki sayılarla, bir önceki haneden gelen ELDE Bit'inin de toplanması gerekir.

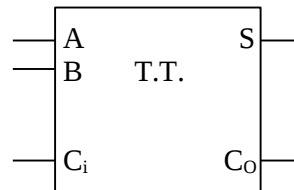


Birinci hanenin elde çıkışı: C_o (Carry out) = İkinci hanenin elde girişi: C_i (Carry in)

C_i	B	A	C_o	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

A ve B: toplanacak sayıların ikinci hane değerleri ise; ikinci hanelerin toplamı S (Sum), elde çıkışı C_o (Carry out) olarak gösterildiğinde, aşağıdaki doğruluk çizelgesi elde edilir.

Bu toplama işlemini yapan devrenin blok diyagramı aşağıdaki gibidir.



Doğruluk çizelgesine bakarak, gerekli işlemler yapıldığında:

$$S = C_i \oplus (B \oplus A)$$

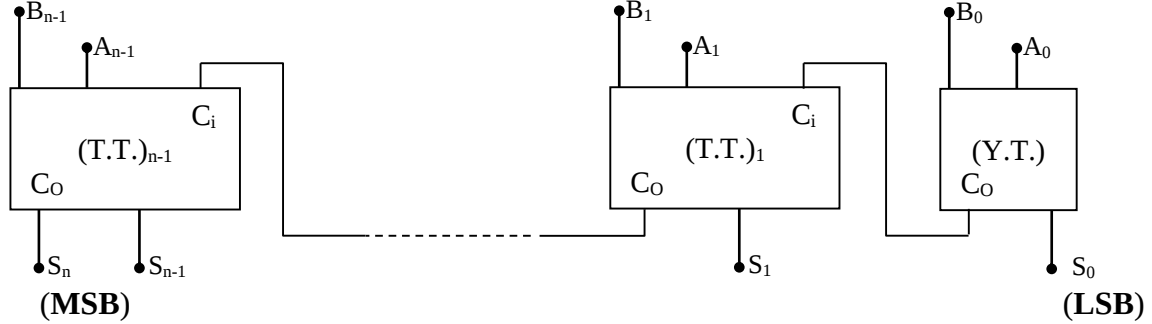
$$C_o = C_i \cdot (B \oplus A) + B \cdot A$$

olduğu görülecektir.

Buna göre bir Tam Toplayıcı, iki Yarım Toplayıcı ve bir VEYA geçidinden yapılabilir.

2.1.3- PARALEL İKİLİ TOPLAYICI (PARALLEL BINARY ADDER) :

n Bit'lik iki sayının toplamı için **bir adet yarım toplayıcı (LSB haneleri için) ve $n-1$ adet tam toplayıcı (diğer haneler için)** gerekir. Böyle bir toplayıcının blok diyagramı aşağıda gösterilmiştir.

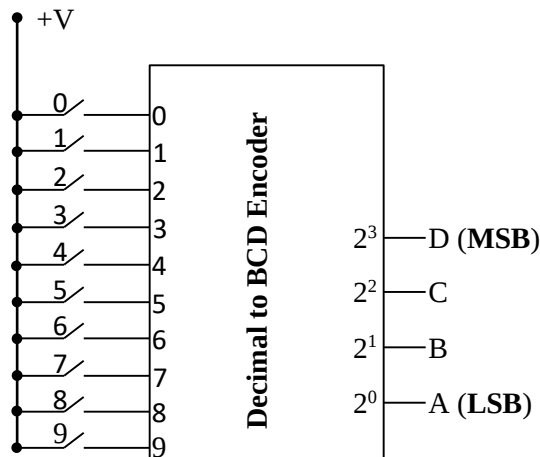


2.2- KODLAYICI (ENCODER) :

Ondalık sayı sistemine alışmış insan ile ikili sistemde çalışan mantık devreleri ve bilgisayarlar arasında bilgi alışverişini sağlayan en pratik kodlardan biri BCD (Binary Coded Decimal), ikili kodlanmış ondalık sayı kodudur.

0 - 9 arası rakamlardan oluşan bir tuş takımında, tuşlardan herhangi birine basıldığında, bu tuş değerinin ikili sayı sistemindeki karşılığı olan kodu üreten devreye; ondalıktan ikili kodlanmış ondalığa kodlayıcı devre “**Decimal to BCD Encoder**” denir. Böyle bir kodlayıcının blok diyagramı ve doğruluk çizelgesi aşağıda gösterilmiştir.

Klavyedeki hiçbir tuşa basılmaması veya devre içinde hiçbir girişe bağlı olmayan “0” nolu tuşa basılması ile girişlerde bir değişiklik olmayacak ve çıkışta “0” rakamının BCD kodu görülecektir.



Ondalık Girişler (tuş no)	BCD Çıkışlar			
	D (MSB)	C	B	A (LSB)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Doğruluk çizelgesine bakarak, çıkışlar için, aşağıdaki Boole ifadeleri yazılabilir.

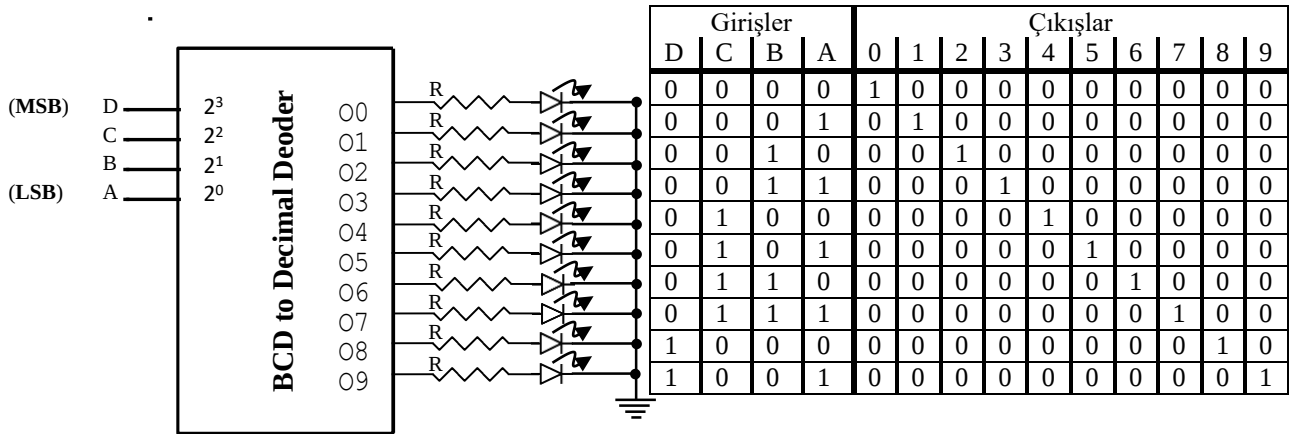
$$D = 8 + 9 \quad C = 4 + 5 + 6 + 7 \quad B = 2 + 3 + 6 + 7 \quad A = 1 + 3 + 5 + 7 + 9$$

Rakamlarla birlikte, alfabetik karakterler, noktalama işaretleri, bazı semboller ve bazı kontrol kumandaları (satırbaşı, satır atlama, zil çaldırma vb.) da bir bilgisayara giriş bilgisi

olarak, ikili sayı sisteminde kodlanmış şekilde verilebilir. ASCII (American Standard Code for Information Interchange) kod çevirici, standart bir klavyedeki bütün bilgileri 7 Bit'lik bir BYTE'a çevirebilir. Bu standart kod ile $2^7 = 128$ değişik karakter ve kontrol deyimi kodlanabilir.

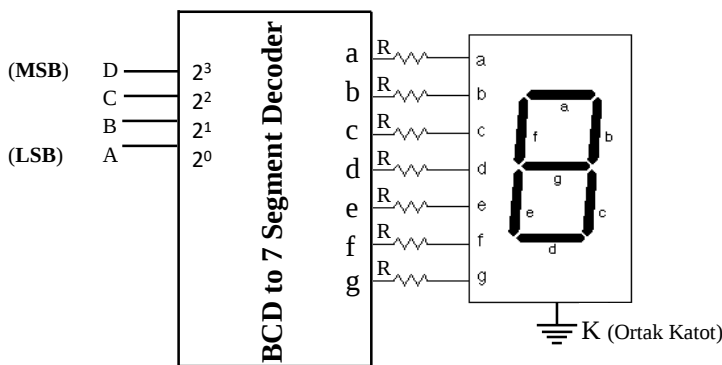
2.3- KOD ÇÖZÜCÜ (DECODER) :

Bütün işlemlerini ikili sistemde yapan bir bilgisayarın, işlem sonuçlarını, dış dünyaya ondalık sistemde aktarabilmesi için bir kod çözücü devresine gereksinimi vardır. Örneğin; bir hanelik BCD sayısını ondalık (decimal) karşılığını göstermek için, aşağıda blok diyagramı ve doğruluk çizelgesi verilen “**BCD to Decimal Decoder**” (İkili kodlanmış ondalıktan, ondalığa kod çözücü) ve 10 adet LED kullanılır.



Not: Böyle bir devrenin çıkışına bağlanacak LED'lerden geçen akımı sınırlamak için, LED'lere seri dirençler kullanılması gerektiği unutulmamalıdır.

Yukarıdakine benzer şekilde, BCD kodlu bir çıkış bilgisi, 7 parçalı göstergelere, ancak bir kod çözücü devre üzerinden aktarılabilir. Bu kod çözücü ise; “**BCD to 7 Segment Decoder**” (İkili kodlanmış ondalıktan 7 parçalı göstergeye kod çözücü) olarak isimlendirilir.



Ortak katot LED gösterge için, “BCD to 7 segment decoder” ve gösterge bağlantı diyagramı.

MSB			LSB							
D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	0	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1

Ortak katot LED gösterge için kod çözücü doğruluk çizelgesi.

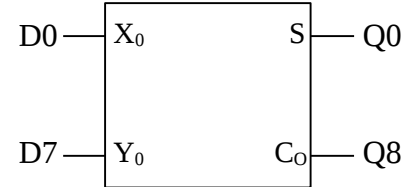
3- ÖN ÇALIŞMA: Laboratuvara gelmeden önce, deneyin 4.1, 4.2 ve 4.3 maddelerinde kullanacağınız devrelerin tasarımlarını **Rapor Defterine** yapınız. Aynı zamanda bu devrelerin ayrıntılı şemalarını da **bir dosya kâğıdına** çizerek yanınızda bulundurunuz. Deneyin 4.3 bölümü sonunda elde etmeyi beklediğiniz sonuçları da, bir tablo halinde aynı kâğıt üzerinde gösteriniz.

4- DENEY:

Deney tasarımlarında size verilen **anahtar** ve **Q çıkış** ledlerinin **sıralamalarını ve isimlerini KESİNLİKLE DEĞİŞTİRMEYİN**. Anahtarlar ve/veya Q çıkış ledlerinin isimlerin (yerlerinin) değiştirilmesi deneyin yanlış yapılması anlamına gelir (Nedenini açıklayınız).

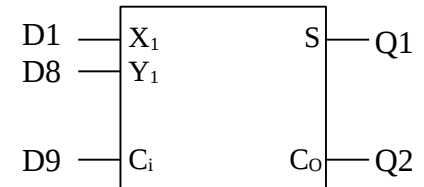
4.1- Bir adet 7486 (dörtlü, EX-OR) ve bir adet 7408 (dörtlü, 2 girişli VE) kullanarak bir “yarım toplayıcı” devresinin tasarımını yapınız. Devreyi kurarak, D0+D7 ikili aritmetik toplamının gerçekleştiriniz. Toplam çıkışı için Q0, elde çıkışı için Q8 LED’lerini kullanınız.

Devrenin istenen şekilde çalıştığından emin olmak için, girişler ve çıkışlar için bir doğruluk çizelgesi hazırlayınız.



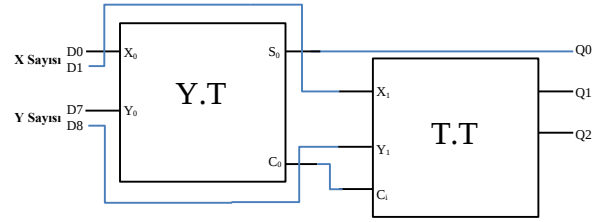
Devre ile çalışmanız bittiği zaman, **devreyi sökmeyiniz** 4.2’deki “**Tam Toplayıcı**” devresini yapmak için bu “**Yarım Toplayıcı**” devresini **ASLA kullanmayınız**. 4.2 kesimi için 7486’nın boşa kalan geçitleri kullanılacaktır.

4.2- 4.1 Kesimindeki “Yarım Toplayıcı” devresini KESİNLİKLE BOZMAYINIZ. “Tam Toplayıcı” devresi tasarımı için; 4.1 kesiminde kullandığınız **7486** tümleşik devresinin **KULLANILMAYAN geçitlerini** ve ilave olarak bir adet **7400** (dörtlü, 2 girişli VEDEĞİL) kullanarak yapınız. Bu devre ile; D1 + D8 + D9 ikili aritmetik toplamını gerçekleştiriniz. **Toplam çıkışı için (S) Q1, elde çıkışı için (Co) Q2** LED’lerini kullanınız. Devrenin doğru çalıştığından emin olmak için, girişler ve çıkışlar için bir doğruluk çizelgesi hazırlayınız. **HER İKİ DEVREYİ KESİNLİKLE SÖKMEYİNİZ.**



Bu kesim sonunda “Bread Board” üzerinde ÇALIŞAN bir adet Yarım Toplayıcı ile bir adet Tam Toplayıcı devre olmalıdır.

4.3- Daha önce çalıştırdığınız yarım toplayıcı ve tam toplayıcı devrelerini yanda gösterilen blok diyagrama uygun şekilde birleştiriniz. X ve Y gibi 2 Bit’lik iki sayının aritmetik toplamını, X ve Y’nin alabileceği bütün değerleri 7 parçalı göstergede gözleyebilmek için gerekli bağlantıları yapınız. Aşağıdaki doğruluk çizelgesini deneysel olarak tamamlayınız.



Y) ₁₀	X) ₁₀	Y) ₂ Sayısı		X) ₂ Sayısı		TOPLAM			Gösterge
		(MSB) (Y ₁) D8	(Y ₀) D7	(MSB) (X ₁) D1	(X ₀) D0	(MSB) (C ₀) Q2	(S ₁) Q1	(S ₀) Q0	
0	0	0	0	0	0				
0	1	0	0	0	1				
0	2	0	0	1	0				
0	3	0	0	1	1				
1	0	0	1	0	0				
1	1	0	1	0	1				
1	2	0	1	1	0				
1	3	0	1	1	1				
2	0	1	0	0	0				
2	1	1	0	0	1				
2	2	1	0	1	0				
2	3	1	0	1	1				
3	0	1	1	0	0				
3	1	1	1	0	1				
3	2	1	1	1	0				
3	3	1	1	1	1				

ÖN ÇALIŞMA: Laboratuvara gelmeden önce, deneyin 5.1 a, b, c, d maddelerinde istenilen tasarımları yapınız. Bu tasarımların ayrıntılı devre şemalarını **Rapor defterine** ve ayrıca **bir dosya kâğıdına** çiziniz.

5- DENEY:

5.1- Bu bölümde bir hanelik ondalık sayıyı BCD koduna çeviren kodlayıcının tasarımı yapılacaktır.

a) 0, 1, 2,..., 9 girişler ve D, C, B, A (LSB) çıkışlar olacak şekilde kodlayıcı için bir doğruluk çizelgesi hazırlayınız.

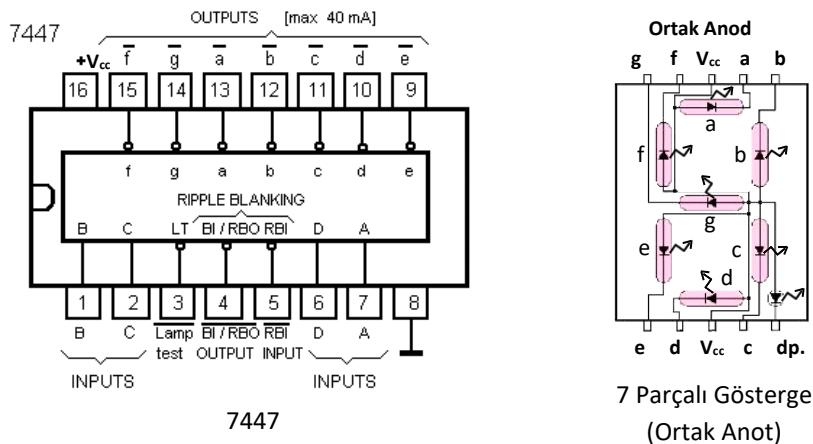
b) Bu doğruluk çizelgesini gerçekleştirecek devreyi sadece 2 girişli VEYA geçitlerini kullanarak tasarımı yapınız.

c) Boole cebri ve teoremlerini uygulayarak yukarıdaki tasarımı sadece 4 adet iki girişli VEDEĞİL ve 8 adet iki girişli VEYADEĞİL geçidi kullanacak şekilde yeniden düzenleyiniz. Düzenlediğiniz ifadenin şemasını çiziniz.

d) Kodlayıcı devreyi son düzenlediğiniz şekliyle, 1 adet 7400 ve 2 adet 7402 kullanarak kurunuz. Giriş bilgilerini D0, D1,..., D9 anahtarlarından alınız. Çıkış bilgilerini gözlemek için ise Q3, Q2, Q1 ve Q0 (LSB) LED'lerini kullanınız. Deneysel sonucu bir doğruluk çizelgesi şeklinde gösteriniz.

Not: Çalışmanız bittiği zaman bu devreyi sökmeyiniz !!!

5.2- Bu bölümde BCD kodundaki bir sayıyı 7 parçalı göstergeye aktaracak olan “kod çözücü” tümleşik devresi (7447) incelenecektir. Gerekli bilgiler aşağıda verilmiştir.



3 (Lamp Test), 4 (Bi/Rbo) ve 5 (Rbi) no'lu ayakları +V_{cc}'ye bağlayın

a) Göstergenin her bir segmenti için, akımı 10 mA'de sınırlayacak şekilde dirençler bağlıdır (7 Parçalı Gösterge ayaklarına dirençler lehimlenmiştir). Bölüm 5.1-d'de çalıştırdığınız devrenize, anahtarlardan girdiğiniz bilgiyi 7 parçalı göstergede izleyebilmek için, kod çözücü (7447) tümleşik devresi ve 7 parçalı (Ortak Anot) gösterge bağlanacaktır. Gerekli devre

elemanlarının bağlantılarını da gösterecek şekilde 5.1.d'deki devre şemasını tekrar çiziniz. Çizdiğiniz bu şemadaki devreyi kurunuz ve çalıştırınız.

b) Deneyi yaparak; ondalık bilgi girişleri (tuş no), 7447 tümleşik devresinin BCD girişleri (Encoder çıkışları) ve segment çıkışları ile göstergenin her segmenti için aşağıdaki doğruluk çizelgesini tamamlayınız.

Ondalık Bilgi Girişleri (tuş no)	Encoder Çıkışı (BCD Bilgi)				7447 segment çıkışları								Gösterge Segmentleri							
	D	C	B	A	a	b	c	d	e	f	g	a	b	c	d	e	f	g		
0																				
1																				
2																				
3																				
4																				
5																				
6																				
7																				
8																				
9																				

DENEY- 4: FLIP- FLOP'lar

1- AMAÇ: Ardışık mantık (Sequential logic) devrelerin temelini oluşturan Flip-Flop'ların davranışlarını incelenmesi.

2- GENEL BİLGİ: Sayısal sistemlerde, çoğu zaman belirli bir andaki bilgileri depolama ve depolanan bu bilgileri daha sonra belirli mantık veya aritmetik işlemlerde kullanmak gerekir. Bu tip devrelere “ardışık mantık devreleri” adı verilir.

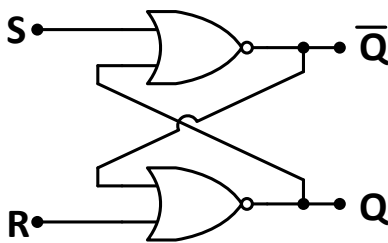
Ardışık devrelerin çıkış fonksiyonları, devrenin o andaki giriş bilgileri ile devrenin bir önceki durumuna bağlıdır. Bir önceki durumu hatırlaması ve ona göre davranması açısından, bu tip devreler “bellekli devreler” olarak anılırlar. Bellekli devrelerin temel yapıtaşları ise Flip-Flop'lardır.

Flip-Flop'lar iki kararlı ardışık devrelerdir (bistable). Kararlı durum “0” veya “1” olabilir. FF'ı bir kararlı durumdan diğerine (“0”dan “1”e veya “1”den “0”a) geçirmek için, girişlerine uyarıcı sinyaller uygulanır. FF'un tipine göre, bu uyarıcı sinyal (tetik sinyali) ya bir gerilim seviyesidir (“0” veya “1”) ya da bir pulsun kenar geçişidir (“0”dan “1”e veya “1”den “0”a)

Seviye tetikleme ile çalışan bellek öğeleri “Latch” veya “Latch tipi FF”, kenar tetikleme ile çalışanlar ise sadece “Flip-Flop” adını alırlar.

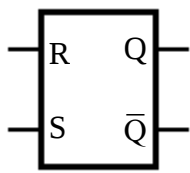
2.1- R/S LATCH: Sayısal bilginin en küçük birimi bir “Bit” tir. En basit temel ardışık devre olan R/S Latch bir Bit'lik bilgi belleğidir. S (Set) girişine aktif seviye uygulandığında (R ters seviyede iken), Q çıkışı “1” olur. R (Reset) girişine aktif seviye uygulandığında (S ters seviyede iken), Q çıkışı “0” olur. Aktif seviyenin “0” veya “1” oluşu, devrenin yapıldığı geçit tipine göre değişir. Girişlerden aktif seviye uyarıları kaldırıldığında (girişler inaktif seviyede iken) latch çıkışı Q, daha önce aldığı son durumu koruyacaktır (belleğinde tutacaktır).

VEYADEĞİL Geçitleri ile R/S Latch



Şematik Diyagram

Doğruluk Çizelgesi

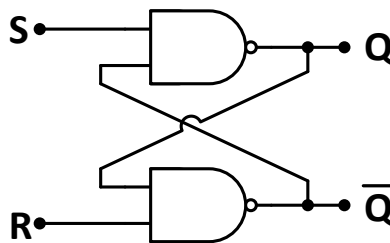


Blok Diyagram

R	S	Q	$\bar{Q}$
0	0	Q_0	$\bar{Q}_0$
0	1	1	0
1	0	0	1
1	1	0*	0*

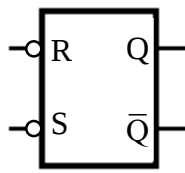
(*) Yasak durum

VEDEĞİL Geçitleri ile R/S Latch



Şematik Diyagram

Doğruluk Çizelgesi



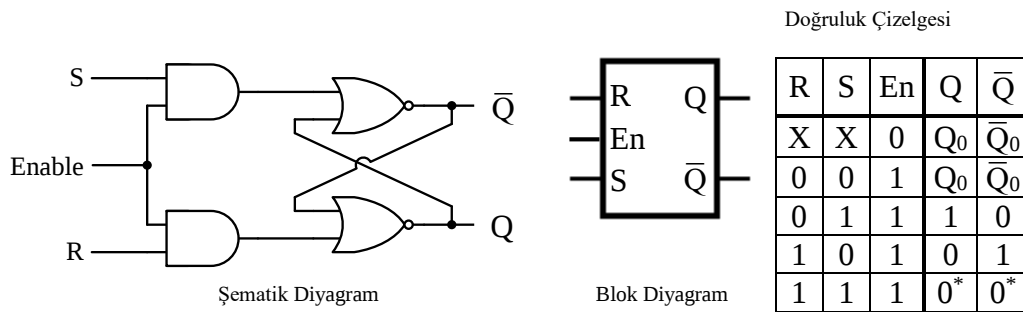
Blok Diyagram

R	S	Q	$\bar{Q}$
1	1	Q_0	$\bar{Q}_0$
1	0	1	0
0	1	0	1
0	0	1*	1*

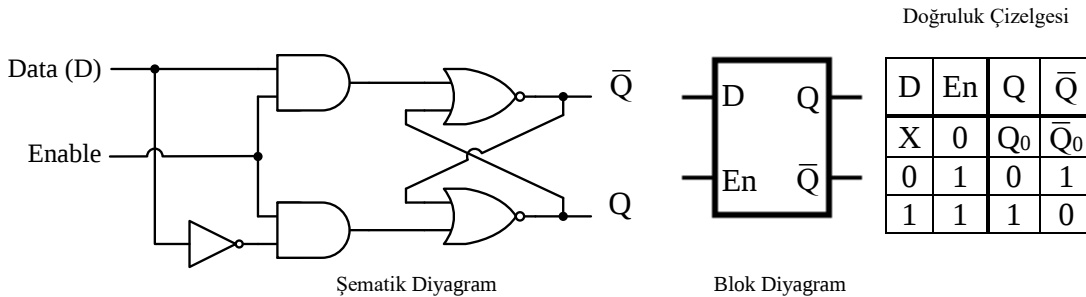
(*) Yasak durum

VEYADEĞİL geçitleri ile yapılan R/S Latch'te R=1, S=1 durumu ve VEDEĞİL geçitleri ile yapılan R/S Latch'te R=0, S=0 durumunda Q ve $\bar{Q}$ çıkışları yine aynı mantık seviyesindedirler. Bu durumdan sonra R ve S girişleri aktif olmayan seviyelerine döndüklerinde, Q veya $\bar{Q}$ den hangisinin "1", hangisinin "0" da kalacağı bir yarış durumudur (race condition). Seri olarak üretilen tümleşik devrelerde, hangi geçidin daha hızlı çalışacağı önceden bilinemediğinden, "**R ve S girişlerinin aynı mantık düzeyinde ve aktif durum**"da olması; "**yasak durum**" (illegal condition) olarak tanımlanır ve (*) ile gösterilir.

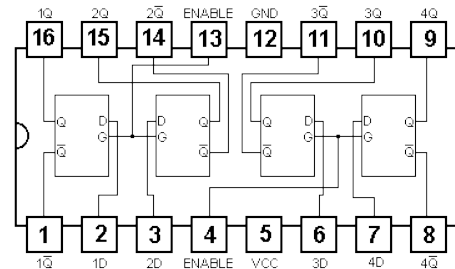
2.2- GEÇİTLİ R/S LATCH: Temel R/S latch devresinin önüne iki geçit ilavesi ile R ve S uyarılarının ancak ve ancak bu iki geçidi kontrol eden "enable" girişinin aktif olduğu durumda temel devreye ulaşmaları sağlanır. Enable girişi inaktif seviyede iken, R ve S'deki değişimler Latch'in durumunu değiştirmeyecektir.



2.3- D- LATCH: Bu tip bellek elemanında, geçitli R/S tipi devreye bir tersleyici ilavesi ile R ve S'nin her zaman birbirilerinin tersi seviyede kalmaları sağlanmıştır. Böylelikle, "yasak durum" önlenmiş olur.



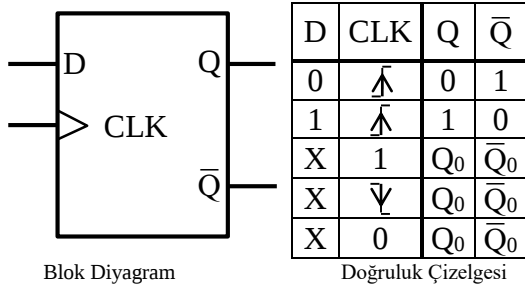
Yukarıdaki D-Latch'de Enable girişi "1" olduğu sürece D'deki bilgi değişimleri Q'da aynen görülür. Enable girişi "0" olduğu sürece D'deki bilgi değişimleri Q'yu etkilemez. Bu durumda; Q, enable "0" olmadan önce almış olduğu son değeri belleğinde koruyacaktır.



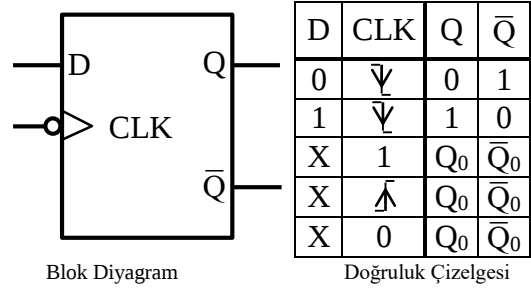
"7475 QUAD Latches" Fiziksel ayak bağlantıları

2.4- D-FLIP-FLOP: D-Latch devresinin Enable girişine birtakım geçitler ilavesi ile bilgi yükleme işleminin, kontrol girişinin sadece bir “aktif kenarında” olması sağlanır. Bu durumda, Enable girişi “**CLOCK**” adını alır. Aktif kenar **0→1** geçişi ise “**pozitif kenar tetiklemeli FF**”, aktif kenar **1→0** geçişi ise “**negatif kenar tetiklemeli FF**” isimleri verilir. Bu ayırım, devrelerin hangi tip geçitlerle yapıldığına bağlıdır.

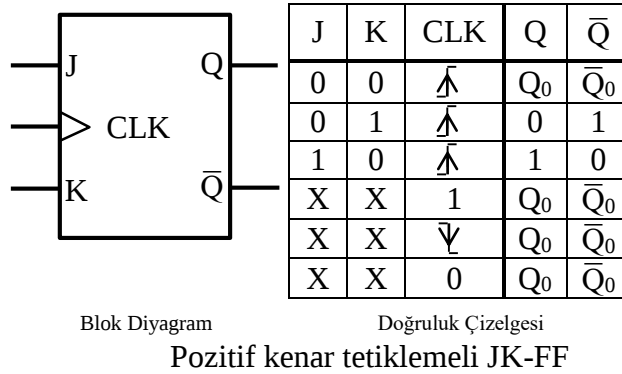
⌣ Pozitif kenar tetiklemeli D-FF



⌣ Negatif kenar tetiklemeli D-FF



2.5- JK FLIP-FLOP: En çok kullanılan FF türüdür. Aşağıdaki doğruluk çizelgesi bu FF’un bütün davranışları hakkında bilgi vermektedir.



3- ÖN ÇALIŞMA: Laboratuvara gelmeden önce, deneyin 4.3 ve 4.4 maddelerindeki tasarımları yapınız.

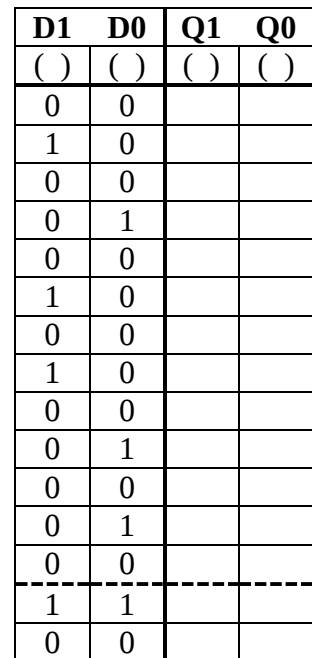
4- DENEY:

4.1- Bu kesimde VEYADEĞİL geçitleri ile yapılan R/S latch incelenecektir.

Aşağıdaki devreyi kurunuz. D1 ve D0 anahtarlarının verilen durumlarına göre, Q1 ve Q0 LED çıkışlarının aldıkları mantık değerlerini arkadaki çizelgeye işaretleyiniz.

NOT 1: Çizelgedeki bütün durumları aynı sıra içinde uygulayınız. Herhangi bir yanlışlık durumunda başa dönünüz.

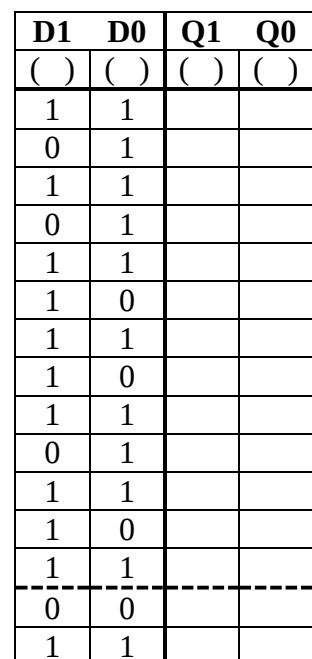
NOT 2: Çizelgenin son iki durumu için, her iki girişin aynı anda 1→0 geçişini yapabilmelerini sağlamak üzere, her iki girişi kısa devre yaptıktan sonra, tek bir anahtara bağlayınız.



D1	D0	Q1	Q0
()	()	()	()
0	0		
1	0		
0	0		
0	1		
0	0		
1	0		
0	0		
1	0		
0	0		
0	1		
0	0		
0	1		
0	0		
1	1		
0	0		

[illegible]

4.2- Bu kesimde VEDEĞİL geçitleri ile yapılan R/S Latch incelenecektir. Deneyin 4.1 kesiminde yaptığınız işlemlerin tümünü, giriş bilgilerinin bir sonraki sayfada bulunan çizelgede verilen durumlarına göre ve aşağıdaki devre için tekrarlayınız.



Tabloda elde ettiğiniz sonuçları bir zaman diyagramı şeklinde gösteriniz.

()	D1
()	D0
()	Q1
()	Q0

4.3- Bir adet 7400 kullanarak, Enable girişli R/S Latch tasarımı yapınız. Çizeceğiniz devre üzerinde giriş ve çıkışları açıkça belirtiniz. Devreyi kurarak çalıştırınız. R, S ve Enable girişlerine aşağıdaki durumları sırayla uygulayarak Q ve $\bar{Q}$ çıkışlarını LED’lerden gözleyiniz. Elde ettiğiniz sonuçları bir zaman diyagramında gösteriniz.

RSE: 101, 000, 010, 000, 011, 000, 100, 101, 000, 011, 000, 011, 000, 101, 000, 101, 000, 111, 000

R
S
E
Q
$\bar{Q}$

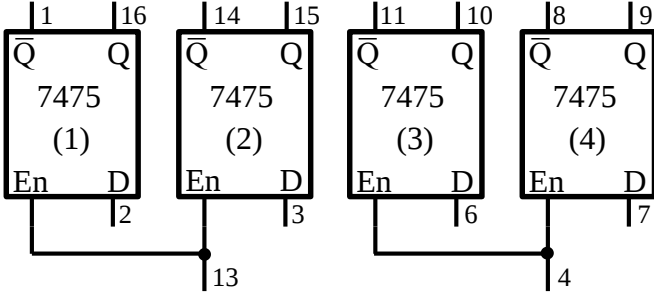
4.4- İki adet 7400 kullanarak bir D-Latch tasarımı yapınız. Çizeceğiniz devre üzerinde giriş ve çıkışları açıkça belirtiniz. Devreyi kurarak çalıştırınız. Aşağıdaki zaman diyagramındaki gösterilen sinyalleri, anahtarlar yardımıyla, devreye uygulayarak ve çıkışları LED’lerden gözleyerek, diyagramı tamamlayınız.

[illegible]

4.5- Bir adet 7475 tmleřik devresinin blok diyagramını kullanarak, D3, D2, D1, D0 anahtarlarından vereceėiniz BCD bilgilerle, sırası ile 0, 6, 9, 3, 8, 7, 2, 5 gibi sayıları (arada bařka sayı gzlemeksizin) 7 paralı gstergeye aktarabilmek iin gerekli devrenin tasarımı yapınız. Yaptıėınız tasarımı kurarak alıřtırınız.

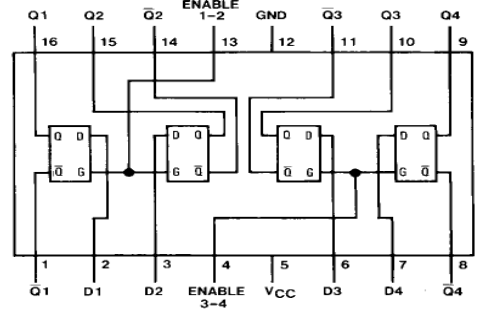
Enable giriři iin D9 anahtarını kullanınız.

Yaptıėınız bu iřlemi ařaėıdaki tabloda gsteriniz.



7475 tmleřik devresi **Blok Diyagram**

V_{CC}:5 GND:12



7475 tmleřik devresi **Fiziksel Ayak Baėlantıları**

BCD Bilgi				En	Gsterge
D3	D2	D1	D0		

DENEY- 5: FLIP- FLOP UYGULAMALARI

1- AMAÇ: Flip-Flop'ların salt bellek elemanı olarak kullanılmaları dışında, frekans bölücü, sayaç ve kayan yazmaç (shift register) uygulamalarına yönelik örnekleri incelemek.

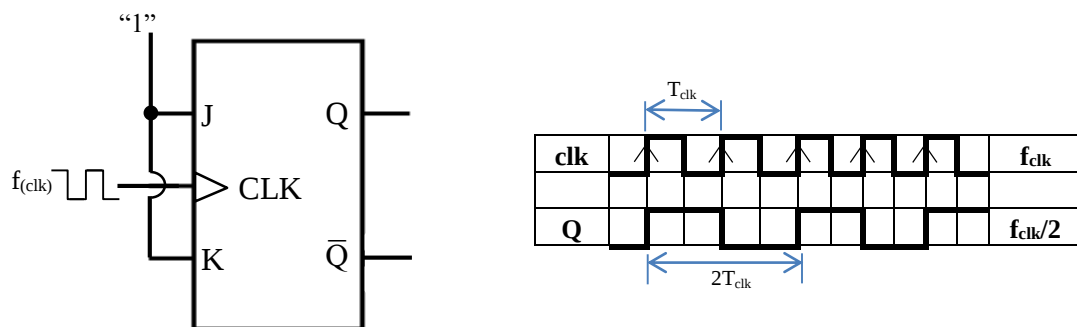
2- GENEL BİLGİ: Digital sayaçlar, sayısal elektronikte çok geniş uygulama alanı olan ardışıl devrelerdir. Basit bir digital saat; kendi içindeki osilatörün bir saniyelik atmalarından kaç adet geldiğini bir “sayaçta” sayarak, “sayma sonucu”nu göstergesine aktaran sistemdir. Bir bilgisayar sisteminde de, bir dizi bilginin belleğe sıra ile yerleştirilmesi gerekiyorsa, herhangi bir anda belleğin kaçınıcı sırasında olduğumuzu ancak bir “sayaç” belirler.

Bir digital sayaç, girişinden saat (clock) pulsları ile uyarıldığında, belirli bir sayı düzeninde ilerleyen Flip-Flop'lar dizisidir. Flip-Flop'ların çıkışları o ana kadar gelen pulsların sayısını “ikili sayı sistemi”nde verir.

Bir sayacın çıkışlarının alabileceği tüm farklı durumların sayısı, o sayacın **“modülo sayısı”** olarak tarif edilir. Örneğin; dört FF’den oluşan bir sayacın çıkışları $2^4=16$ farklı durum alabilir (0, 1, 2,..., 15) . Bu sayaç Modulo 16 sayaç olarak anılır. Bu sayaçta, baştan 11. durum bir decoder ile tespit edilip, FF’ların ortak “sıfırlama girişine” uyarı verilirse, bütün FF’ın çıkışı “0” olacak ve sayaç ilk durumuna dönecektir. Bu durumda sayaç çıkışları ancak 10 farklı durum alabilecek ve Modulo 10 olarak çalışacaktır. Bu sayaç 1 hanelik BCD sayaç olarak bilinir. Bu metotla istenilen modülo sayısında sayaçlar yapılabilir.

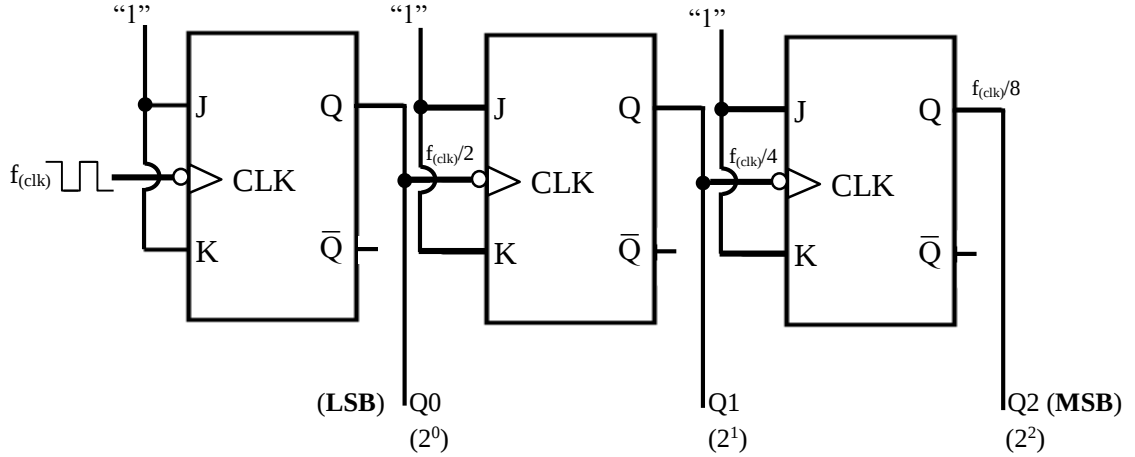
Ardışıl mantık devrelerinin diğer bir kategorisi de “**Register**” adı altında toplanan FF’lar dizisidir. Register’lar bilgi saklama (bellek) grupları olarak kullanıldıkları gibi, “bilgi transferini” de sağlayabildikleri için sayısal elektronikte geniş uygulama alanı bulurlar. Örneğin, bilgisayarlarda, birtakım mantıksal ve aritmetik işlemlerde kullanılan “sağa kay, sola kay” komutları veya seri bilginin paralele, paralel bilginin seri bilgiye çevrilmesi işlemleri “shift register”lar kullanılarak gerçekleştirilebilir.

2.1- FREKANS BÖLÜCÜ: Bir JK Flip-Flop, $J=1$, $K=1$ durumunda, clock girişinin her aktif kenarında, durumunu değiştirir (Toggle) . Bu modda çalışan FF, T tipi FF olarak isimlendirilir ve Clk frekansını “ikiye” böler.



Pozitif kenar tetiklemeli T-tipi (Toggle) FF blok ve zaman diyagramı.

2.2- SAYAÇ: Frekans bölücü özelliklerinden yararlanarak, negatif kenar tetiklemeli n adet T-tipi FF’u, bir öncekinin Q çıkışı bir sonrakinin CLK girişine bağlamakla elde edilen devre ile giriş frekansını 2^n ’e bölmek mümkündür. Böyle bir devrede bütün FF’ların Q çıkışları dikkate alınacak olursa, ilk FF çıkışı LSB olmak üzere, bunların n bit’lik ikili (binary) sayacın çıkışları olduğu gözlenecektir. Bütün çıkışların alabileceği 2^n farklı durum vardır; Modulo 2^n ’dir.

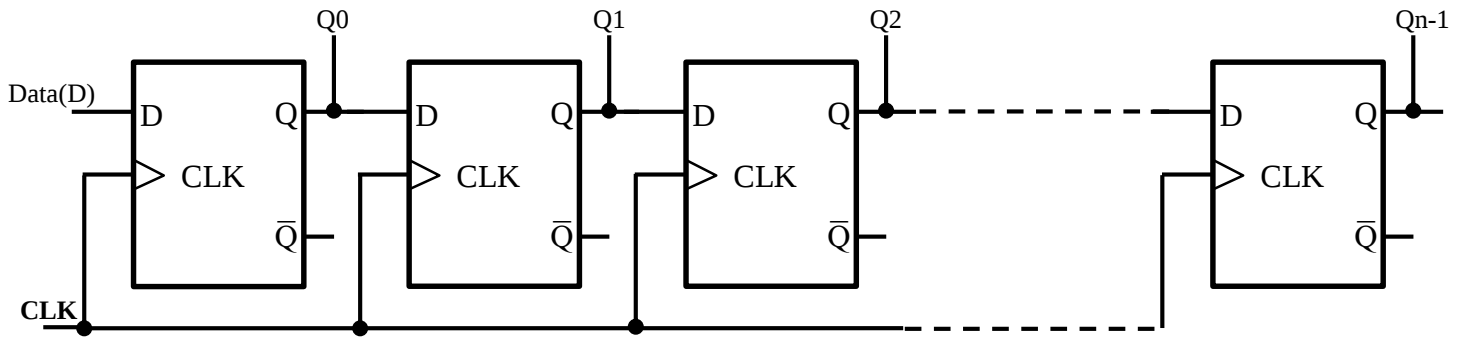


Modulo 8, 3 bit binary sayaç devre blok diyagramı.

CLK																		f_{clk}
Q0(LSB)	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	$f_{clk}/2$
Q1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	$f_{clk}/4$
Q2	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	1	$f_{clk}/8$

3 bit binary sayaç zaman diyagramı.

2.3- KAYAN YAZMAÇ (Shift Register): CLK girişleri ortak olmak üzere, bir öncekinin Q çıkışı, bir sonrakinin D girişine bağlanan n adet D-tipi FF’tan oluşan devre n bitlik kayan yazmaç devresidir.



D tipi FF’larla n Bit’lik Shift Register devre blok diyagramı.

CLK pulsunun her aktif kenarında, girişteki bilgi ilk FF'a aktarılırken, her FF'un çıkış bilgisi bir sonraki FF'a aktarılarak belirli bir yönde (Q_0 'dan Q_{n-1} 'e doğru) bilgi akışı sağlanır.

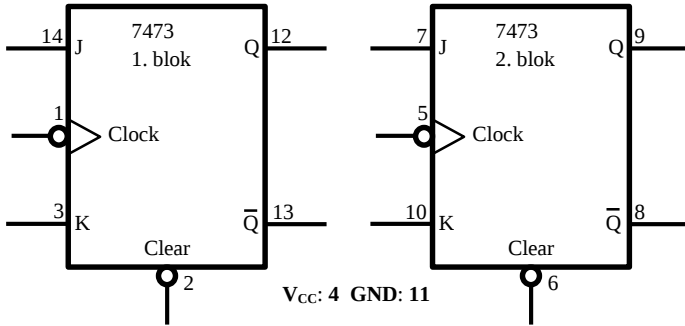
Kayan yazmaçlar; seri girişli/ seri çıkışlı, seri girişli/ paralel çıkışlı, paralel girişli/ seri çıkışlı, paralel girişli/ paralel çıkışlı olarak tasarımılanabilir.

3- ÖN ÇALIŞMA:

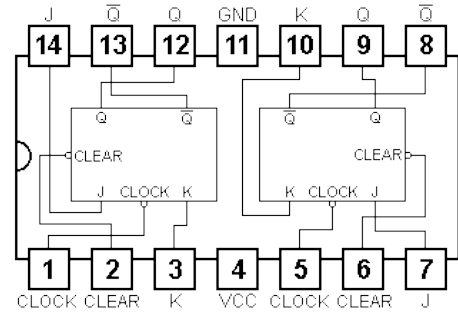
Laboratuvara gelmeden önce, deneyin 4.3, 4.4 ve 4.6 kesimlerindeki tasarımları yapınız. 4.6 kesimini dikkatle inceleyerek yapılması gereken işlemleri planlayınız.

4- DENEY:

4.1-



7473 (İkili JK-FF) tümleşik devresi **Blok Diyagramı**



7473 (İkili JK-FF) tümleşik devresi **Fiziksel Ayak Bağlantıları**

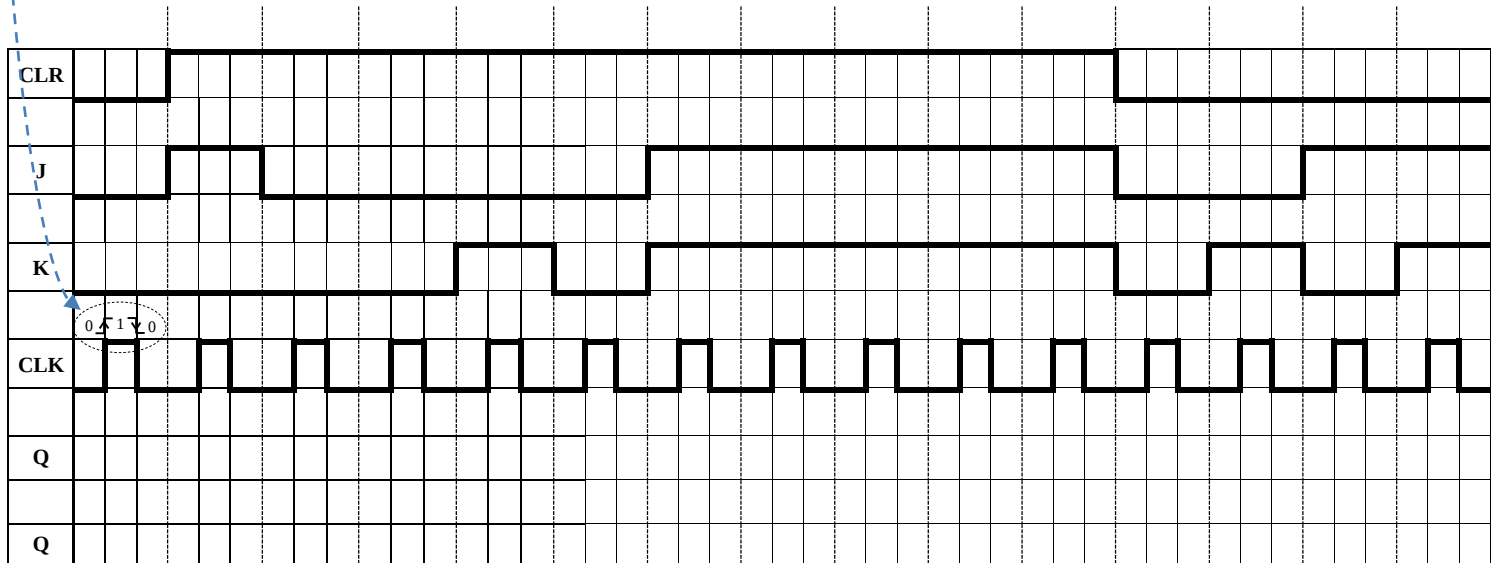
Yukarıdaki blok diyagramdan seçeceğiniz bir Flip-Flop'un CLR, J, K girişlerini sırasıyla D2, D1, D0 anahtarlarına bağlayınız. Clear inaktif iken, J=1 ve K=1 yaparak, CLK girişine ∇ veya $\wedge$ sinyallerinden birini uygulayınız. FF'un durum değiştirmesini Q ve $\bar{Q}$ çıkışlarına sırasıyla bağlı Q1, Q0 LED'lerinden gözleyiniz. CLK girişine uyguladığınız bu sinyalin hangi kenar geçişinde değişim olduğunu belirleyiniz. ∇ veya $\wedge$ kenar tetiklemesini tespit edin. FF'un hangi kenar tetiklemesi ile çalıştığını saptayınız. Ayrıca Clear'ın aktif düzeyini belirleyiniz.

4.2- Girişlere aşağıda verilen durumları sırasıyla uygulayarak ve her bir durum için bir (Δ) CLK pulsu vererek, tespit ettiğiniz kenar geçişinde durum değişimine dikkat ederek Q ve $\bar{Q}$ çıkışlarını LED'lerden gözleyiniz. Sonucu aşağıdaki durum tablosu ve zaman diyagramını üzerinde gösteriniz.

Durumlar (D2=CLR, D1=J, D0=K) : 000, 110, 100, 100, 101, 100, 111, 111, 111, 111, 111, 000, 001, 010, 011

CLR (D2)	J (D1)	K (D0)	CLK	Q (Q ₁)	$\bar{Q}$ (Q ₀)
0	0	0	0		
0	0	0	Δ		
0	0	0	1		
0	0	0	∇		
0	0	0	0		
1	1	0	0		
1	1	0	Δ		
1	1	0	1		
1	1	0	∇		
1	1	0	0		
1	0	0	0		
1	0	0	Δ		
1	0	0	1		
1	0	0	∇		
1	0	0	0		
1	0	0	0		
1	0	0	Δ		
1	0	0	1		
1	0	0	∇		
1	0	0	0		
1	0	1	0		
1	0	1	Δ		
1	0	1	1		
1	0	1	∇		
1	0	1	0		
1	0	0	0		
1	0	0	Δ		
1	0	0	1		
1	0	0	∇		
1	0	0	0		
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
1	1	1	0		
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
1	1	1	0		

CLR (D2)	J (D1)	K (D0)	CLK	Q (Q ₁)	$\bar{Q}$ (Q ₀)
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
1	1	1	0		
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
1	1	1	0		
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
1	1	1	0		
1	1	1	0		
1	1	1	Δ		
1	1	1	1		
1	1	1	∇		
0	0	0	0		
0	0	0	Δ		
0	0	0	1		
0	0	0	∇		
0	0	0	0		
0	0	1	0		
0	0	1	Δ		
0	0	1	1		
0	0	1	∇		
0	0	1	0		
0	1	0	0		
0	1	0	Δ		
0	1	0	1		
0	1	0	∇		
0	1	0	0		
0	1	1	0		
0	1	1	Δ		
0	1	1	1		
0	1	1	∇		
0	1	1	0		



4.3- Deney föyünün 2.2 sayaç kesimini dikkatle okuyarak, iki adet 7473 tümleşik devre kullanarak, **4 bit’lik binary sayaç** devresinin tasarımını yapınız.

Tasarladığınız devreyi kurunuz ve sayaç girişine $\square$ pulsalarını uygularken, sayaç çıkışlarını Q3, Q2, Q1 ve Q0 LED’lerinden gözleyiniz ve sayma işleminin doğruluğundan emin olunuz.

Her CLK pulsu ile birlikte Q3, Q2, Q1, Q0 ledlerinin durumlarını gözleyin ve zaman diyagramını çiziniz. Zaman diyagramı üzerinde sayacın her bir çıkışının; periyodunu T_{CLK} ve frekansını f_{CLK} cinsinden gösteriniz.

NOT: Çalışmanız bittiği zaman bu devreyi sökmeyiniz.

4.4- Her FF’un “0” aktif çalışan bir CLR girişi olduğunu deneyin 4.1 kesiminde saptamış olmalısınız. Bu özelliği dikkate alarak, yukarda çalıştırdığınız devreye ilave olarak kullanacağınız bir VEDEĞİL geçidi yardımıyla, **bir hanelik BCD sayaç devre** tasarımı yapınız.

4.3 kesiminde hazır olan devreye tasarımınızı ekleyerek devreyi kurunuz. Ledlerden gözlenen sayaç çıkışlarını aynı zamanda 7 parçalı göstergelerden birinin girişlerine de bağlayınız. Sayaç girişine $\square$ pulsalarını uygularken, göstergedeki saymaları izleyiniz. Devreniz beklenildiği gibi çalışıyor ise;

Her CLK pulsu ile birlikte Q3, Q2, Q1, Q0 ledlerinin ve 7 parçalı göstergenin durumlarını gözleyerek aşağıdaki tabloyu oluşturun.

Clk	Q3	Q2	Q1	Q0	Gösterge
					
					
					

Bu tablodan yararlanarak sayacın tüm giriş çıkışlarını gösteren bir zaman diyagramı oluşturunuz.

Zaman diyagramı üzerinde sayacın her bir çıkışının; periyodunu T_{CLK} ve frekansını f_{CLK} cinsinden gösteriniz.

Bu diyagramı inceleyerek sayma işlemini irdeleyiniz.

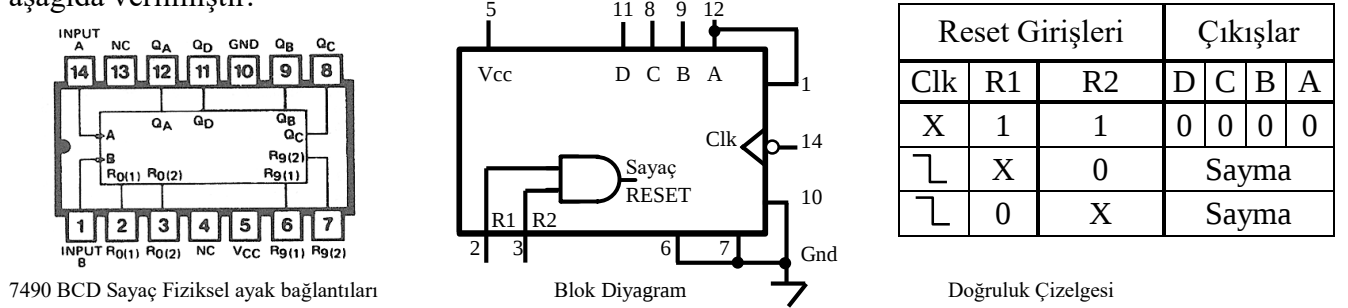
4.5- 4 Bitlik Sayaç Tasarım Ödevi

- 4.1 deki Flip-Flop tipi kullanılacak.
- Bütün Flip-Flop’lar toggle durumunda tutulacak.
- Bir önceki FF’un $\bar{Q}$ çıkışını bir sonraki FF’un CLK girişine bağlanacak.
- Sayaç çıkışları Q’lardan alınacak.

Yukarıdaki istenilenleri uygulayarak 4 bit’lik bir sayaç devresi tasarlayınız.

Tasarladığınız devrede birinci FF'un CLK girişine bir kare dalga uygulayın. CLK sinyaline karşı, bütün FF'ların Q ve $\bar{Q}$ çıkışlarında beklediğiniz sinyalleri bir zaman diyagramında gösteriniz. Bu diyagramında inceleyerek, devrenin işlevini saptayınız.

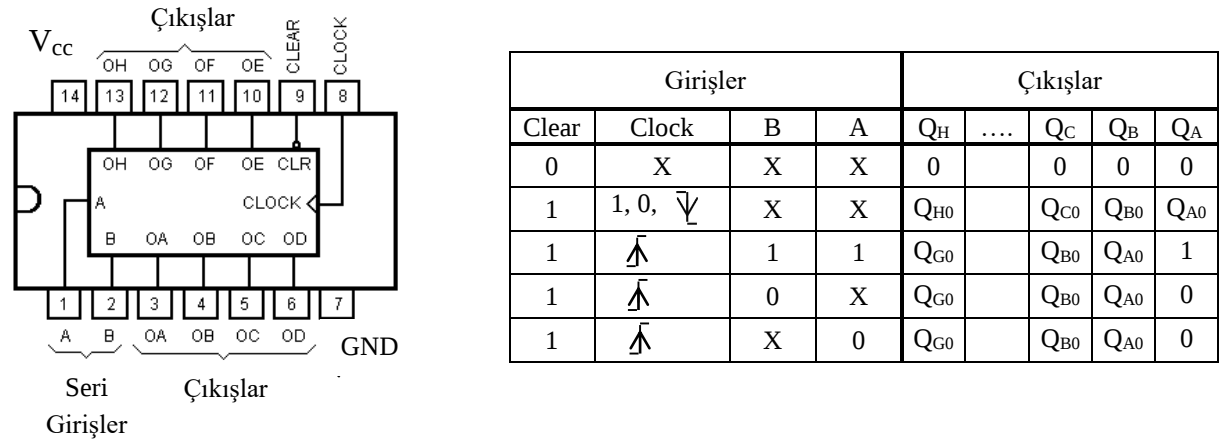
4.6- 7490 BCD sayaç tümleşik devre diyagramı ve basitleştirilmiş doğruluk çizelgesi aşağıda verilmiştir.



Tümleşik devrenin; reset girişlerini D1 ve D0 anahtarlarına, çıkışlarını ise 7 parçalı göstergelerden sağdakinin girişlerine sırası ile bağlayınız. CLK girişinden uygun pulsalar vererek yukarıdaki doğruluk çizelgesini irdeleyiniz. Devreniz çalışıyor ise bu kez CLK girişinden puls uygulayarak, CLK, A, B, C ve D için bir zaman diyagramı çizin.

TASARIM: 2 adet 7490 ve uygun bir CLK frekansı kullanarak bir digital saatin saniye haneleri için bir sayaç tasarımı yapınız. (Gösterge olarak 7 parçalı göstergeleri kullanınız.) Devreyi gerçekleştiriniz. X10 s hanesi için bir zaman diyagramı çizin.

4.7- 74164 8 Bit, seri girişli/ paralel çıkışlı shift register tümleşik devre diyagramı fonksiyon tablosu aşağıda verilmiştir.



74164 8 Bit s/p çıkışlı "Shift Register" Fiziksel ayak bağlantıları

Doğruluk Çizelgesi

AMAÇ: Önceden belirlenen 2 haneli bir sayıyı ($00 \leq n \leq 99$) 2 adet 7 parçalı göstergelere aktarmak.

- B ve A seri bilgi girişlerini birleştirerek D1 anahtarına, CLEAR girişini D9 anahtarına bağlayınız.
- **QH, QG, QF ve QE** çıkışlarını sırası ile **Q7, Q6, Q5 ve Q4** ledlerine ve aynı zamanda **soldaki** 7 parçalı göstergenin D, C, B ve A girişlerine,

